

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-96835

(43)公開日 平成9年(1997)4月8日

(51)Int.Cl.<sup>6</sup>  
G 0 2 F 1/136  
H 0 1 L 29/786  
21/336

識別記号 500

府内整理番号 F I  
G 0 2 F 1/136  
H 0 1 L 29/78  
6 1 2 B  
6 1 3 A  
6 1 6 M

技術表示箇所

審査請求 未請求 請求項の数3 OL (全9頁)

(21)出願番号 特願平7-253263

(22)出願日 平成7年(1995)9月29日

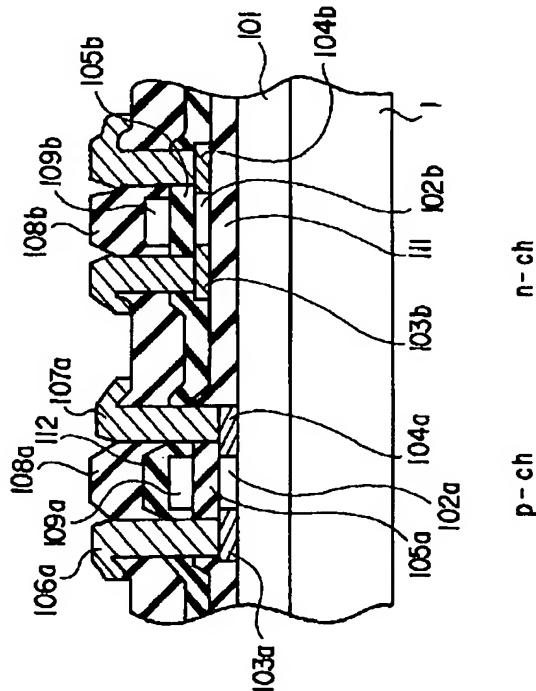
(71)出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72)発明者 中島 充雄  
神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内  
(72)発明者 後藤 康正  
神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内  
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 薄膜半導体装置及び液晶表示装置

(57)【要約】

【課題】 マスク材を用いることなく不純物注入工程を行なうことを可能とし、かつ高集積化を可能とする薄膜半導体装置を提供すること。

【解決手段】 透明絶縁性基板上に、第1の薄膜トランジスタと第2の薄膜トランジスタが設けられており、第1の薄膜トランジスタの活性層及び透明絶縁性基板上に、第1の薄膜トランジスタのゲート絶縁膜をなす第1の絶縁膜が形成され、この第1の絶縁膜の上に第1の薄膜トランジスタのゲート電極及び第2の薄膜トランジスタの活性層が形成され、この第2の薄膜トランジスタの活性層及び第1の薄膜トランジスタのゲート電極を覆う第2の絶縁膜が形成され、この第2の絶縁膜は、第2の薄膜トランジスタのゲート絶縁膜を構成するとともに、第1の薄膜トランジスタの層間絶縁膜を構成することを特徴とする。



## 【特許請求の範囲】

【請求項1】 透明絶縁基板と、この透明絶縁基板上に選択的に形成された第1の半導体膜と、この第1の半導体膜に形成された第1導電型の第1のチャネル領域と、この第1のチャネル領域の両側にそれぞれ形成された第2導電型の第1のドレイン領域および第1のソース領域と、前記第1の半導体膜及び前記透明絶縁基板上に形成された第1の絶縁膜と、この第1の絶縁膜の前記第1のチャネル領域上の部分上に形成された第1のゲート電極と、前記透明絶縁基板上の前記第1の絶縁膜上に形成された第2の半導体膜と、この第2の半導体膜に形成された第2導電型の第2のチャネル領域と、この第2のチャネル領域の両側にそれぞれ形成された第1導電型の第2のドレイン領域および第2のソース領域と、前記ゲート電極と前記第2の半導体膜とを覆うように形成された第2の絶縁膜と、この第2の絶縁膜の前記第2のチャネル領域上の部分上に形成された第2のゲート電極とを具備し、前記第1のチャネル領域、前記第1のドレイン領域、前記第1のソース領域、及び前記第1のゲート電極により第1の薄膜トランジスタが構成され、前記第2のチャネル領域、前記第2のドレイン領域、前記第2のソース領域、及び前記第2のゲート電極により第2の薄膜トランジスタが構成され、前記第1の絶縁膜は前記第1の薄膜トランジスタのゲート絶縁膜を構成し、前記第2の絶縁膜は前記第2の薄膜トランジスタのゲート絶縁膜を構成するとともに、前記第1の薄膜トランジスタの層間絶縁膜を構成することを特徴とする薄膜半導体装置。

【請求項2】 前記第1及び第2の半導体層が多結晶シリコンからなることを特徴とする請求項1に記載の薄膜半導体装置。

【請求項3】 請求項1に記載の薄膜半導体装置を駆動回路に用いたことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜半導体装置に係り、特に、アクティブマトリクス型液晶表示装置に用いられるCMOS構造の薄膜トランジスタに関する。

## 【0002】

【従来の技術】 エレクトロ・ルミネッセンス、発光ダイオード、プラズマ、蛍光表示、液晶等の表示デバイスは、表示部の薄型化が可能であり、事務機器やコンピュータ等の表示装置あるいは特殊な表示装置への用途として要求が高まっている。

【0003】 これらの表示装置のなかでも、薄膜トランジスタ (Thin Film Transistor: TFT) を画素スイッチング素子として用いたアクティブマトリクス型液晶ディスプレイ (Active Matrix-Liquid Crystal Display: AM-LCD) は、高画質・高品位・低消費電力のディスプレイとして期待され、各社で研究開発が行われている。

【0004】 AM-LCD用TFTのチャネル活性層として多結晶シリコン (poly-Si) を用いたpoly-Si TFTは、移動度が高く、画素TFTに適用した場合、高精細化が可能であり、また画素スイッチング素子だけでなく、画素TFTを制御するための周辺駆動回路としても用いることができる。従って、poly-Si TFTは、周辺駆動回路部を画素部と同時に形成することが可能であり (駆動回路一体型LCD) 、駆動回路チップの実装コスト削減や狭額縫化が可能であるという利点を有している。

【0005】 現在、市販されている駆動回路一体型LCDは、プロジェクション型ディスプレイやビューファインダーに用いられる中小型ディスプレイである。その製造プロセスは、poly-Si膜の形成に固相成長法 (600°Cプロセス) を用いたり、酸化膜の形成に熱酸化 (900°C以上のプロセス) を使用するため、高温プロセスを伴なうことになる。そのため、石英基板や高耐熱基板を使用することが要求される。このような石英基板や高耐熱基板は高価であり、コスト高を招いてしまう。

【0006】 一方、a-Si (アモルファスシリコン) TFT LCDは、450°C以下の低温プロセス (ガラス基板が耐える温度) で形成されるため、低コストの大面積ガラス基板が使用可能である。従って、通常、高温プロセスであるpoly-Si膜形成工程及びゲート酸化膜形成工程、更には不純物活性化工程が、上記低温プロセスで形成可能となれば、LCDパネルの多面取りや、コストダウン・スループット向上など、その利点は極めて大きい。

【0007】 低温プロセスでのpoly-Si膜形成技術や不純物活性化技術として、エキシマレーザーアニール (Excimer Laser Anneal: ELA) による方法が研究されている。この方法によると、エキシマレーザーの照射によりa-Si膜が瞬時溶融し、結晶化するため、基板の熱損傷が少なく、低コストガラス基板の使用が可能である。

【0008】 ところで、駆動回路を画素部と同時に形成するためには、画素TFTと同様の薄膜トランジスタによる駆動回路の形成が必要である。また、低消費電力のためには、CMOS回路による駆動回路が要求される。

【0009】 ここで、薄膜トランジスタによる駆動回路としてCMOS回路を用い、nチャネルTFTとpチャネルTFTを同時に形成する構造及び製造工程について、以下に説明する。

【0010】 まず、一般的なpoly-Si TFTのCMOS回路TFTの断面構造を、図7を用いて説明する。即ち、透明絶縁性基板1上に透明な絶縁膜1001がコートされており、その上に、活性層である、高抵抗半導体層1002a, 1002b、低抵抗半導体層10

03a, 1003b, 1004a, 1004bがある。これら半導体層は、絶縁膜1001上に、例えばプラズマCVD法により、a-Si:H膜を50nmの厚さに形成し、このa-Si:H膜に熱アニールを施すことにより、脱水素をおこない、次いで、ELAによりa-Si膜をpoly-Si化することにより形成される。

【0011】なお、ガラス基板を使用する場合、ガラス基板からのナトリウムイオンなどの拡散を抑えるため、基板上に直接、活性層を形成するのではなく、アンダーコートとして下地膜を形成するのが一般的である。

【0012】低抵抗半導体層1003a, 1004aには、燐(P)などの不純物が注入されたのち、熱などにより活性化されている。一方、低抵抗半導体層1003b, 1004bには、ボロン(B)などの不純物が注入されたのち、熱などにより活性化されている。

【0013】高抵抗半導体層1002a, 1002bの上には、70nm~100nmの厚さのゲート絶縁膜1005が、APCVD、PECVD、ECR-PECVDなどにより形成されている。このゲート絶縁膜1005の上には、ゲート電極1009a, 1009bが設けられている。

【0014】低抵抗半導体層1003a, 1003b, 1004a, 1004b上には、それぞれソース電極1006a, 1006b、ドレイン電極1007a, 1007bが接続されている。また、ゲート電極1009aとソース・ドレイン電極を絶縁するために、層間絶縁膜1008が設けられている。透明絶縁膜1001は、薄膜トランジスタに対するガラス基板からの汚染を防止するためのアンダーコートである。

【0015】以上説明した構造では、低抵抗半導体層1003a, 1004aと低抵抗半導体層1003b, 1004bには異なった不純物が注入されているので、不純物を打ち分ける工程が必要である。

【0016】この工程を図8及び図9を用いて説明する。まず、基板1上に半導体層1002を形成し、パターニングした後、ゲート絶縁膜1005を形成し、更にゲート電極1009となる膜を形成する(図8(a))。次いで、ゲート電極1009a, 1009bをパターニングする(図8(b))。

【0017】次に、例えばpチャネルTFTとなる部分に、不純物注入のためのマスク材1020aとなるレジスト膜やアルミニウム膜などを形成した後、パターニングし、このマスク材1020aを用いて不純物の注入を行い、nチャネルTFTとなる部分に、例えば燐(P)などを注入する(図8(c))。そして、マスク材1020aを除去する(図8(d))。

【0018】その後、pチャネル側を形成するために、nチャネル側に図8(c)に示す工程と同様にマスク材1020bを形成し、不純物注入を行い、pチャネルTFTとなる部分にたとえばボロン(B)などを注入し

(図9(a))、マスク材1020bを除去する(図9(b))。

【0019】その後、層間絶縁膜の形成、コンタクトホールの開口、ソース・ドレイン電極の形成を行い、CMOSのTFT回路が完成する(図9(c))。しかし、以上のような工程によりCMOS回路を形成する場合、次のような問題点があった。

【0020】まず、不純物注入工程のマスク材としてレジストやアルミニウムを用いた場合、不純物注入工程により、そのとき発生する熱や不純物がマスク材に注入され、その結果、マスク材そのものが変質してしまい、その除去工程が煩雑になる。また、マスク材除去後の残さによるTFTの不良が発生してしまい、効率良くTFTによるCMOS回路が形成できない。

【0021】更に、pチャネル側の活性層とnチャネル側の活性層が同一層に存在するので、それらの活性層同士が接近しすぎるとショートの原因になるため、ある程度分離して形成する必要があり、そのため高集積化が難しいという問題点があった。

【0022】

【発明が解決しようとする課題】本発明は、従来の方法によりCMOS回路を形成する場合に発生する問題点を解決し、マスク材を用いることなく不純物注入工程を行なうことを可能とし、かつ高集積化を可能とする薄膜半導体装置を提供することを目的とする。本発明の他の目的は、上記薄膜半導体装置を具備する液晶表示装置を提供することにある。

【0023】

【課題を解決するための手段】上記課題を解決するため、本発明(請求項1)は、透明絶縁基板と、この透明絶縁基板上に選択的に形成された第1の半導体膜と、この第1の半導体膜に形成された第1導電型の第1のチャネル領域と、この第1のチャネル領域の両側にそれぞれ形成された第2導電型の第1のドレイン領域および第1のソース領域と、前記第1の半導体膜及び前記透明絶縁基板上に形成された第1の絶縁膜と、この第1の絶縁膜の前記第1のチャネル領域上の部分上に形成された第1のゲート電極と、前記透明絶縁基板上の前記第1の絶縁膜上に形成された第2の半導体膜と、この第2の半導体膜に形成された第2導電型の第2のチャネル領域と、この第2のチャネル領域の両側にそれぞれ形成された第1導電型の第2のドレイン領域および第2のソース領域と、前記ゲート電極と前記第2の半導体膜とを覆うように形成された第2の絶縁膜と、この第2の絶縁膜の前記第2のチャネル領域上の部分上に形成された第2のゲート電極とを具備し、前記第1のチャネル領域、前記第1のドレイン領域、前記第1のソース領域、及び前記第1のゲート電極により第1の薄膜トランジスタが構成され、前記第2のチャネル領域、前記第2のドレイン領域、前記第2のソース領域、及び前記第2のゲート電極

により第2の薄膜トランジスタが構成され、前記第1の絶縁膜は前記第1の薄膜トランジスタのゲート絶縁膜を構成し、前記第2の絶縁膜は前記第2の薄膜トランジスタのゲート絶縁膜を構成するとともに、前記第1の薄膜トランジスタの層間絶縁膜を構成することを特徴とする薄膜半導体装置を提供する。

【0024】上記薄膜半導体装置において、前記第1及び第2の半導体層は、多結晶シリコンにより構成される。また、本発明（請求項3）は、上記薄膜半導体装置を駆動回路に用いたことを特徴とする液晶表示装置を提供する。

【0025】本発明によると、異なった導電性を持つ2種類の薄膜トランジスタ（TFT）を形成する場合において、チャネル層となる半導体層をそれぞれ別のレベルの層（第1及び第2の半導体層）に形成することにより、不純物の打ち分け工程において、不要な場所に不純物を注入しないためのマスク材を形成することなく、両チャネルTFTを効率良く形成できる構造の薄膜半導体装置が提供される。

#### 【0026】

【発明の形態】以下、本発明の実施例について、図面を参照して説明する。本発明の一実施例に係る、薄膜トランジスタによる駆動回路としてCMOS回路を用い、nチャネルTFTとpチャネルTFTを同時に形成する構造及び製造工程について、以下に説明する。

【0027】まず、本発明の一実施例に係るpoly-Si TFTのCMOS回路TFTの断面構造を、図1を用いて説明する。即ち、透明絶縁性基板1上に透明な絶縁膜101がコートされており、その上に、第1の薄膜トランジスタ（TFT）、例えばnチャネルトランジスタの活性層である高抵抗半導体層102a及び低抵抗半導体層103a、103bがある。これら半導体層は、絶縁膜101上に、例えばプラズマCVD法により、a-Si:H膜を50nmの厚さに形成し、このa-Si:H膜に熱アニールを施すことにより、脱水素をおこない、次いで、ELAによりa-Si膜をpoly-Si化することにより形成される。

【0028】なお、ガラス基板を使用する場合、それからのナトリウムイオンなどの拡散を抑えるため、基板上に直接、活性層を形成するのではなく、アンダーコートとした下地膜を形成するのが一般的である。

【0029】低抵抗半導体層103a、104aには、ボロン（B）などの不純物が注入された後、熱などにより活性化されている。高抵抗半導体層102aの上には、70nm～100nmの厚さのゲート絶縁膜105aが、APCVD、PECVD、ECR-PECVDなどにより形成される形で形成されている。このゲート絶縁膜105aの上には、ゲート電極109aが設けられている。

【0030】低抵抗半導体層103a、104a上に

は、それぞれソース電極106a、ドレイン電極107aが接続されている。また、ゲート電極109aとソース・ドレイン電極を絶縁するために、層間絶縁膜108a、112が設けられている。透明絶縁膜101は、薄膜トランジスタに対するガラス基板からの汚染を防止するためのアンダーコートである。

【0031】また、第2の薄膜トランジスタ（TFT）、例えばnチャネルトランジスタでは、第1のトランジスタのゲート絶縁膜105aと同時に形成された絶縁膜111上に、活性層である高抵抗半導体層102b、及び低抵抗半導体層103b、104bがある。これら半導体層は、絶縁膜111上に、例えばプラズマCVD法によりa-Si:H膜を50nmの厚さに形成し、このa-Si:H膜に熱アニールを施すことにより、脱水素を行い、次いで、ELAによりa-Si膜をpoly-Si化することにより形成される。

【0032】低抵抗半導体層103b、104bには、燐（P）などの不純物が注入された後、熱などにより活性化されている。高抵抗半導体層102bの上には、70nm～100nmの厚さのゲート絶縁膜105bが、APCVD、PECVD、ECR-PECVDなどにより形成されている。このゲート絶縁膜105bの上にはゲート電極109bが設けられている。

【0033】低抵抗半導体層103b、104b上には、それぞれソース電極106b、ドレイン電極107bが接続されている。また、先のゲート電極109bとソース・ドレイン電極を絶縁するために、層間絶縁膜108bが設けられている。

【0034】低抵抗半導体層103a、104aと低抵抗半導体層103b、104bには異なった不純物が注入されているので、その打ち分け工程について、図2を用いて説明する。

【0035】まず、透明絶縁性基板1上に第1のTFTの半導体層102aを形成し、パターニングした後、その上にゲート絶縁膜105aを形成する（図2（a））。ゲート絶縁膜105aは第2のTFTの活性層の下になる層111である。

【0036】次いで、ゲート電極109aを形成する（図2（b））。そして、第2のTFTの半導体層102bを形成し、パターニングを施す（図2（c））。そして、ゲート絶縁膜105bを形成する。ゲート絶縁膜105bは、第1のTFTの層間絶縁層になる層112である（図2（d））。

【0037】次に、全面に対して、燐などの不純物が第2のTFTの低抵抗半導体層にちょうどよく導入されるように、注入量及び加速エネルギーを調整して打ち込み、低抵抗半導体層103b、104bを形成する（図3（a））。同様に、ボロンなどの不純物が第1のTFTの低抵抗半導体層にちょうどよく導入されるように、注入量及び加速エネルギーを調整して打ち込み、低抵抗

半導体層103a, 104aを形成する(図3(b))。このようにして、マスク材を用いることなく、異なる導電性の低抵抗半導体層103a, 104a, 103b, 104bを形成する(図3(c))。

【0038】なお、本実施例において、第2のTFTの低抵抗半導体層への燐の注入量は $5 \times 10^{15}/\text{cm}^2$ 、加速エネルギーは $80 \sim 100 \text{ keV}$ であり、第1のトランジスタの低抵抗半導体層への燐の注入量は $5 \times 10^{15}/\text{cm}^2$ 、加速エネルギーは $80 \sim 150 \text{ keV}$ であった。

【0039】その後、層間絶縁膜の形成、コンタクトホールの開口、ソース・ドレイン電極の形成を行い、CMOSのTFT回路が完成する(図10)。以上のようにして、CMOS構造の2種類のTFTを形成するに際し、チャネル層となる半導体層をそれぞれ別の層に形成することにより、マスク材を用いることなく、異なる不純物の打ち分けを行うことが可能である。

【0040】図4(a), (b), (c)は、不純物注入工程を、上記とは逆に、ボロン、燐の順序で行う場合を示している。この場合、第1のTFTでは、あとから注入する燐の加速エネルギーが低いため、燐が低抵抗半導体層を突き抜けることがなく、そのため、結晶ダメージが少なく、また、燐を活性化するために与える熱量が少なくて済むという利点がある。

【0041】図5(a), (b)は、不純物注入工程においてボロンと燐を同時に打ち込む場合を示しており、この場合、注入工程が一工程でよいという利点がある。この方法は、燐の原子量がボロンの原子量の約3倍であることから、同一の加速エネルギーで同時にイオン注入を行っても、第1のTFTの低抵抗半導体層には燐が注入され、第2のTFTの低抵抗半導体層にはボロンが注入されて、異なる不純物の打ち分けを行うことが可能となる。

【0042】以上説明したように、TFTによるCMOS構造において、異なる導電性のチャネル層を有する2つのTFTを形成する場合、チャネル層となる半導体層をそれぞれ異なるレベルの別の層に形成することにより、不純物の打ち分け工程において、不要な場所に不純物を注入しないためのマスク材を形成することなく、両チャネルのTFTを効率良く形成することができる。

【0043】以上、本発明の一実施例に係る液晶表示装置の構造および製造方法について述べたが、以下に、その効果について述べる。図6に本発明の構造例(a)と従来方法での構造例(b)とを比較して示した。図6(a)と図6(b)の比較からわかるように、CMOSを構成する2種類のTFTのソース電極とドレイン電極を接続する必要のある場合、直接、n型の低抵抗半導体層とp型の低抵抗半導体層を接続することは、そこにp-n接合ができてしまうので、何らかの金属を間に介して接続するのが、一般的である。

【0044】そのような場合、半導体層が同一層にある従来構造では、n型の低抵抗半導体層とp型の低抵抗半導体層が直接接触しないように、例えば $5 \mu\text{m}$ 離さなければショートなどの問題が発生した。しかし、本発明のように、半導体層を絶縁膜を介して絶縁することができる、半導体層どうしを近づけて配置することができる(例えば $1.25 \mu\text{m}$ )、高集積化が可能となる。特に液晶表示装置の周辺駆動回路に応用した場合、狭額縫化が可能となる。

【0045】また、本発明の液晶表示装置のCMOS構造では、2つのTFTの活性層が異なるレベルの層にあるので、活性層それぞれの膜質及び膜厚を独立に制御出来るという利点がある。

【0046】例えば、チャネルドープの際、pチャネルとnチャネルとに異なる不純物をイオン注入する場合、ベタ膜の状態で、即ち、活性層をバーニングする前にイオン注入を行うことが出来る。活性層をバーニングした後にイオン注入を行うと、その後のレーザーアニールの際に活性層の形状がくずれてしまうが、ベタ膜の状態で行うと、そのような問題は全く生じない。

【0047】また、TFTの活性層をドープトポリシリコンにより形成する必要がある場合があるが、この場合、第1のTFTの活性層と第2のTFTの活性層とを、異なる不純物がドープされたポリシリコンにより、それぞれ独立して形成することが可能である。

【0048】更に、第1のTFTの活性層と第2のTFTの活性層とで、最適膜厚が異なる場合があるが、そのような場合でも、それぞれの膜厚を独立に制御することが出来る。

【0049】更にまた、Cs電極をそれぞれのTFTのゲート電極と共有させることができるので、Cs用の不純物導入工程が不要となる。なお、画素TFTについては、リーク電流(TFTがOFFのとき流れてしまう電流)を低くするためにLDD構造でもよいし、ゲート電極を複数とするマルチゲート(ダブルゲート)TFTでもよい。

【0050】以上の実施例では、コプラナ型TFTについて説明したが、イメージセンサやX線センサに適用する等、本発明の主旨を逸脱しない範囲において、さまざまに変形して実施することができる。

【0051】

【発明の効果】以上説明したように、本発明によると、異なる導電性を持つ2種類のTFTを形成する場合において、チャネル層となる半導体層をそれぞれ別のレベルの層に形成しているため、不要な場所に不純物を注入しないためのマスク材を形成することなく、不純物の打ち分けを行うことが可能であり、両チャネルTFTを効率良く形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る薄膜トランジスタを示

### す断面図。

【図2】図1に示す薄膜トランジスタの製造工程を示す断面図。

【図3】図1に示す薄膜トランジスタの製造工程を示す断面図。

【図4】図1に示す薄膜トランジスタの製造工程の他の例を示す断面図。

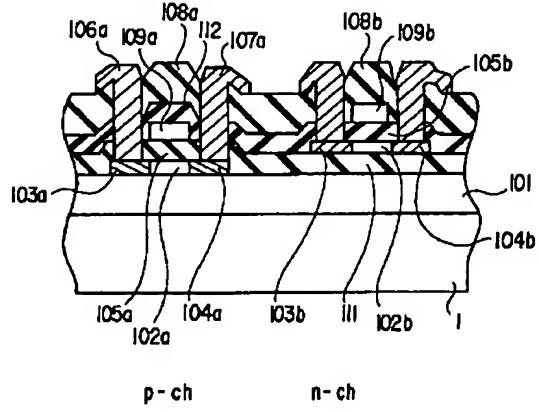
【図5】図1に示す薄膜トランジスタの製造工程の更に他の例を示す断面図。

## 【図6】本発明によるCMOS構成の薄膜トランジスタと、従来のCMOS構成の薄膜トランジスタとを比較し

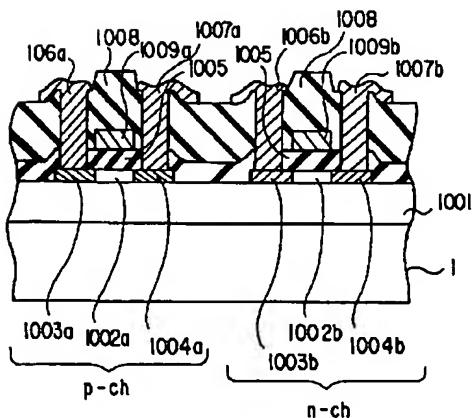
【図7】従来技術による薄膜トランジスタを示す断面図。

【図8】図7の薄膜トランジスタの製造工程を示す断面図。

### 【图1】



【図7】



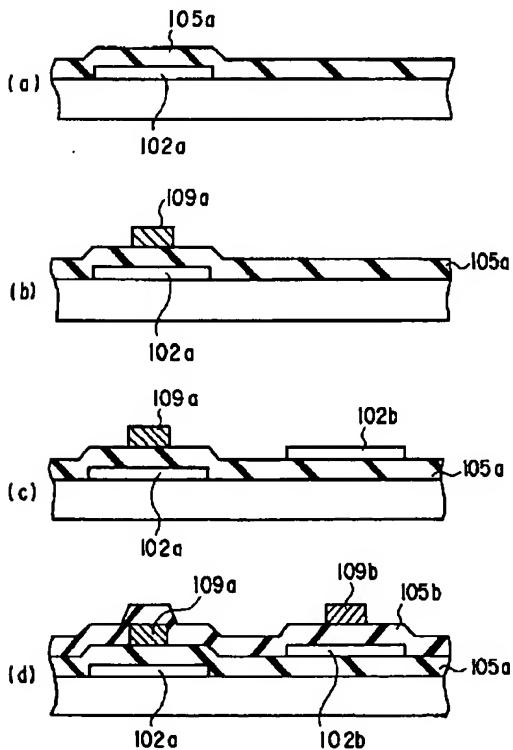
【図9】図7の薄膜トランジスタの製造工程を示す断面図。

【図10】図3に示す工程により得たCMOSのTFT回路を示す断面図。

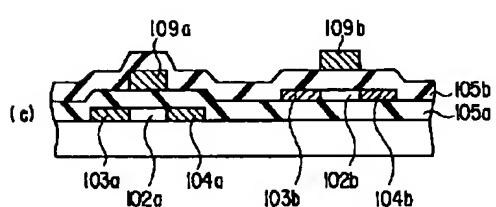
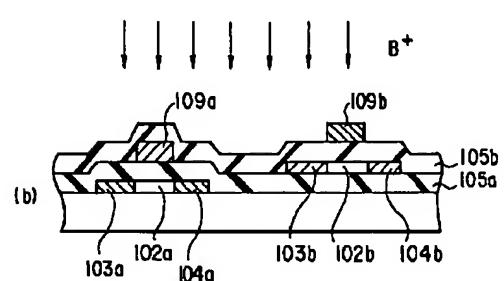
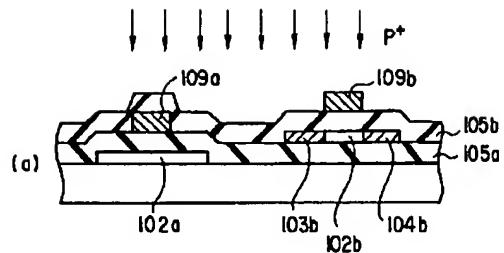
### 【符号の説明】

1…基板、1001, 101, 111…下地絶縁膜、1002a, 1002b, 102a, 102b…チャネル領域、1003a, 1003b, 103a, 103b…ソース領域、1004a, 1004b, 104a, 104b…ドレイン領域、1005a, 1005b, 105a, 105b…ゲート絶縁膜、1006a, 1006b, 106a, 106b…ソース電極、1007a, 1007b, 107a, 107b…ドレイン電極、1008, 108a, 108b…層間絶縁膜、1009a, 1009b, 109a, 109b…ゲート電極。

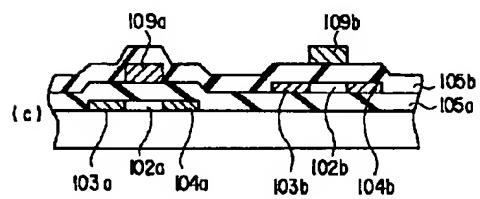
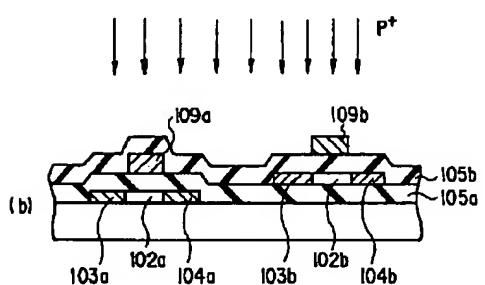
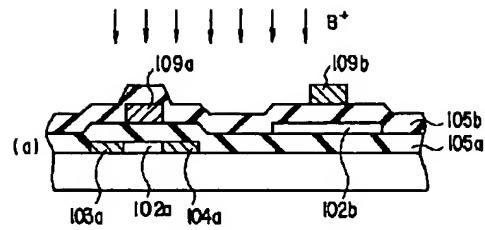
〔図2〕



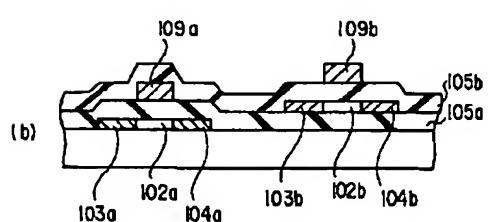
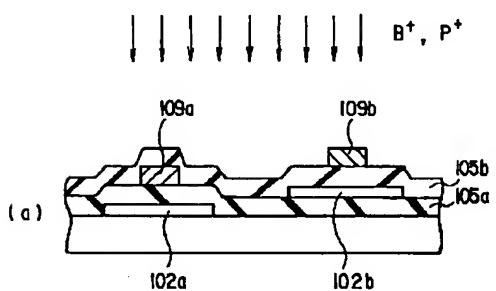
【図3】



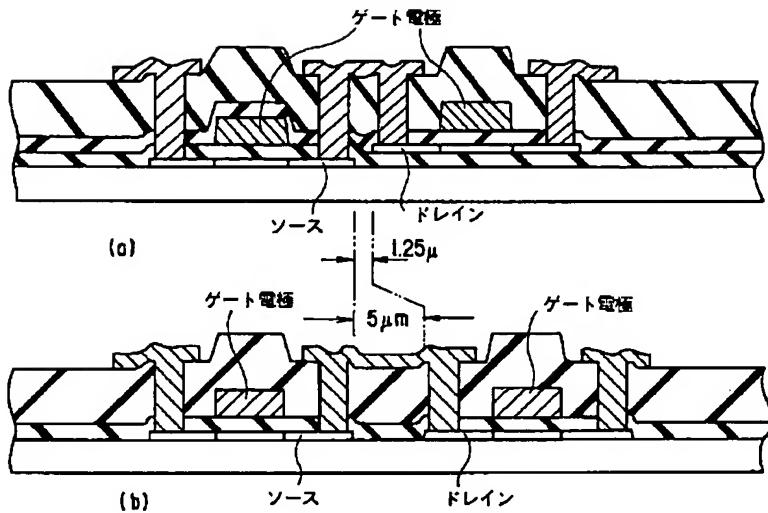
【図4】



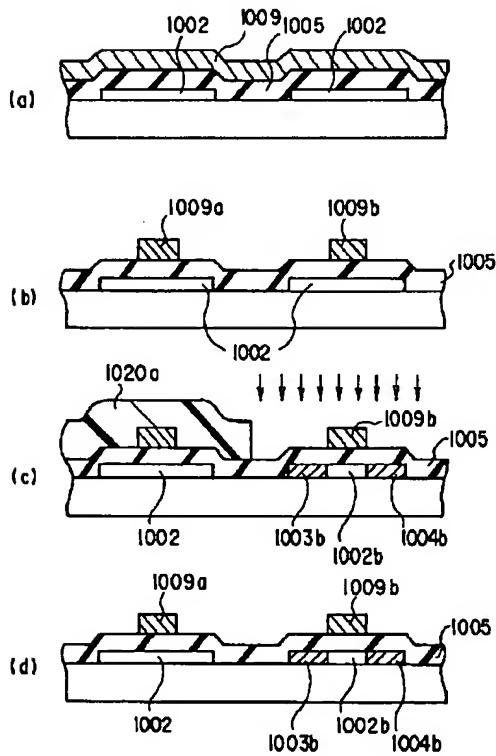
【図5】



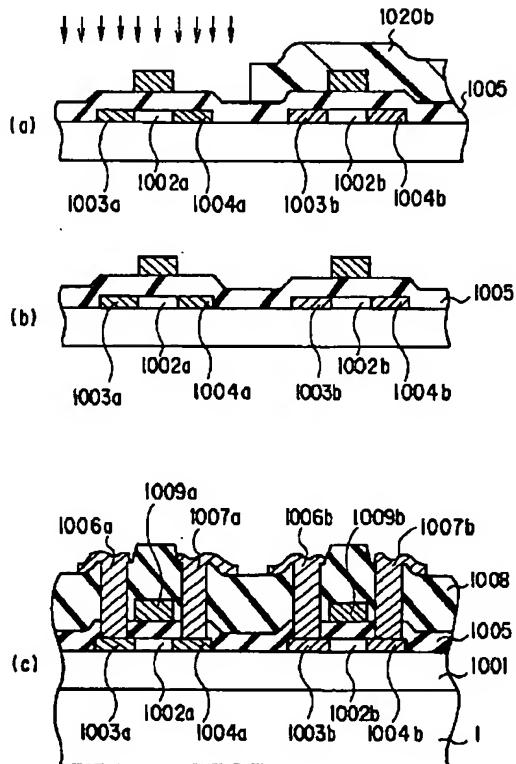
【図6】



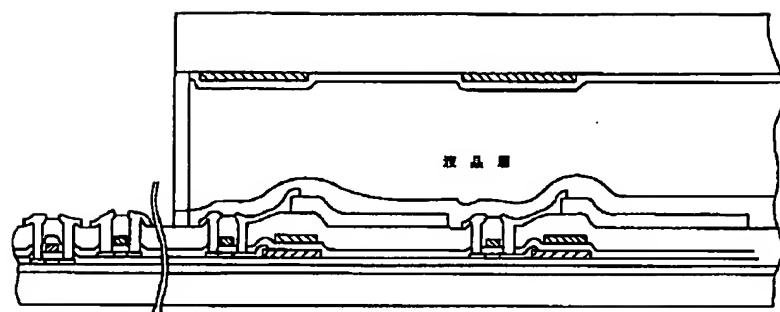
【図8】



【図9】



【図10】



This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLORED OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**